

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-123171

(43)Date of publication of application : 11.06.1986

(51)Int.Cl.

H01L 27/14  
H04N 5/335

(21)Application number : 59-243469

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 20.11.1984

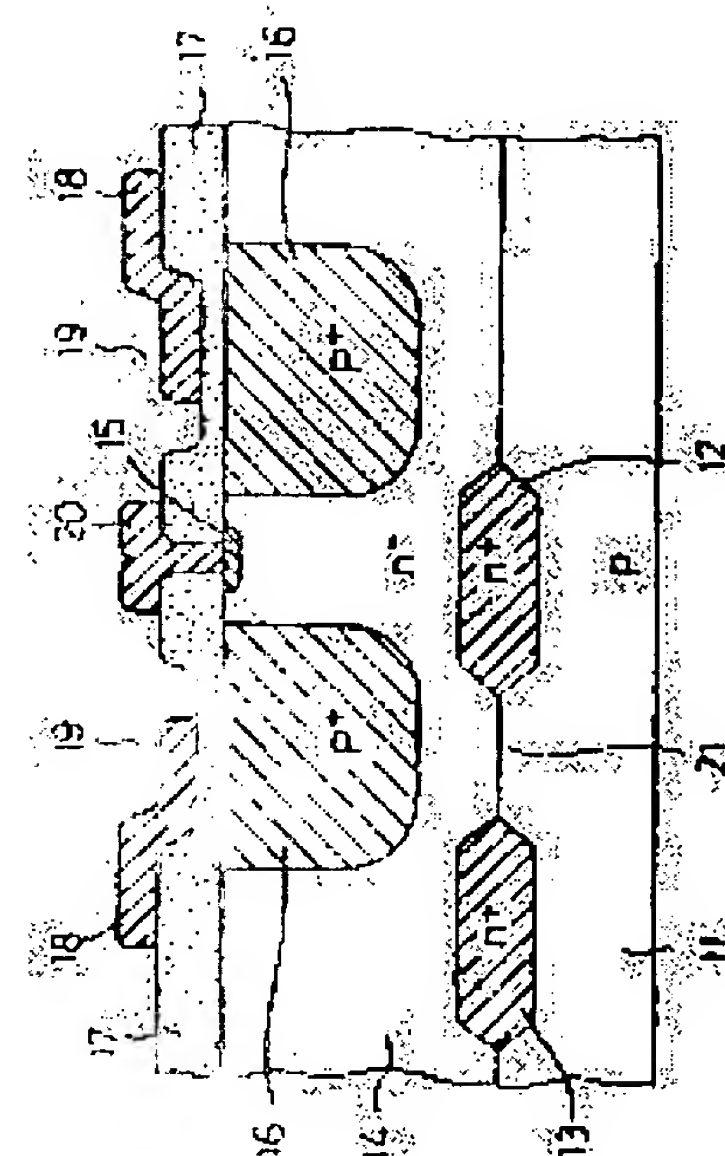
(72)Inventor : MORIMOTO MASAMICHI

## (54) SOLID-STATE IMAGE PICKUP DEVICE

### (57)Abstract:

**PURPOSE:** To treat excess charges easily without being limited by signal reading operation by forming two buried layers having a dopant of polarity different from a substrate so as to hold an excess charge discharge channel in the vertical direction in the direction of the substrate from a charge storage layer in approximately the same depth between a charge storage diffusion layer and the substrate.

**CONSTITUTION:** In a SI width image pickup device, drain currents corresponding to the quantity of optical charges stored flow through a buried layer 12 by applying reading pulses to gate electrodes 18 because one 12 of two buried layers 12, 13 in which a dopant of a kind different from a charge storage gate 16 is formed on both sides of an excess optical charge discharge channel 21 in the vertical direction in the lower section of the gate region 16 functions as a drain in combination, thus reading optical signals. Proper bias voltage is applied to the buried layers 12, 13, thus allowing the switching of overflow currents and the control of the quantity of currents by the discharge channel 21 for excess charges in the charge storage gate region 16.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

PAT-NO: JP361123171A  
DOCUMENT-IDENTIFIER: JP 61123171 A  
TITLE: SOLID-STATE IMAGE PICKUP DEVICE  
PUBN-DATE: June 11, 1986

INVENTOR-INFORMATION:  
NAME  
MORIMOTO, MASAMICHI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
OLYMPUS OPTICAL CO LTD N/A

APPL-NO: JP59243469  
APPL-DATE: November 20, 1984

INT-CL (IPC): H01L027/14, H04N005/335

ABSTRACT:

PURPOSE: To treat excess charges easily without being limited by signal reading operation by forming two buried layers having a dopant of polarity different from a substrate so as to hold an excess charge discharge channel in the vertical direction in the direction of the substrate from a charge storage layer in approximately the same depth between a charge storage diffusion layer and the substrate.

CONSTITUTION: In a SI width image pickup device, drain currents corresponding to the quantity of optical charges stored flow through a buried layer 12 by applying reading pulses to gate electrodes 18 because one 12 of two buried layers 12, 13 in which a dopant of a kind different from a charge storage gate 16 is formed on both sides of an excess optical charge discharge channel 21 in the vertical direction in the lower section of the gate region 16 functions as a drain in combination, thus reading optical signals. Proper bias voltage is applied to the buried layers 12, 13, thus allowing the switching of

overflow currents and the control of the quantity of currents by the  
discharge  
channel 21 for excess charges in the charge storage gate region 16.

COPYRIGHT: (C) 1986, JPO&Japio

## ⑫ 公開特許公報(A)

昭61-123171

⑮ Int.Cl.

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)6月11日

H 01 L 27/14  
H 04 N 5/3357525-5F  
8420-5C

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 固体撮像装置

⑯ 特 願 昭59-243469

⑰ 出 願 昭59(1984)11月20日

⑱ 発 明 者 森 本 正 倫 東京都渋谷区幡ヶ谷2丁目43番2号 オリジナル光学工業株式会社内

⑲ 出 願 人 オリジナル光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号

⑳ 代 理 人 弁理士 最上 健治

## 明細書

## 1. 発明の名称

固体撮像装置

## 2. 特許請求の範囲

基板と、該基板上に設けられ該基板とは異なる極性のドーパントを添加したエピタキシャル層からなるウェルと、該ウェル内に設けられ前記基板と同一極性のドーパントを添加した電荷蓄積拡散層とを備えている固体撮像装置において、前記電荷蓄積拡散層と基板の間のほぼ同一深さに、基板と異なる極性のドーパントを添加した2個の埋め込み層を、前記電荷蓄積拡散層から基板へ向かう余剰電荷放出チャネルを挟むように形成したことを特徴とする固体撮像装置。

## 3. 発明の詳細な説明

(発明の技術分野)

この発明は、光電荷蓄積部からの余剰電荷の放出を良好に制御できるようにした固体撮像装置に関する。

(従来技術)

従来、固体撮像装置としては、CCD、BBD等の電荷転送素子を用いたものや、MOSトランジスタや静電誘導形トランジスタ(以下SITと称する)を用いたものなどが広く用いられている。

この中、SITを用いた撮像装置は、電荷転送時の電荷漏れが少なく高感度の撮像装置として知られている。かかるSITを用いた撮像装置の一構成例を第1図に示す。1はn<sup>+</sup>シリコン基板でドレインを構成するものであり、該基板1上には不純物濃度の低いn<sup>+</sup>シリコンエピタキシャル層2を成長させ、このエピタキシャル層2の表面に、熱拡散法などによりn<sup>+</sup>ソース領域3、p<sup>+</sup>ゲート領域4、4を形成する。ゲート領域4上にはSiO<sub>2</sub>等の絶縁膜5が被着され、更にその上に被着されたゲート電極6とによりコンデンサ7が形成されている。8はソース領域3に接続されたソース電極で、9は空乏層である。そして、n<sup>+</sup>エピタキシャル層2はSITのチャネル領域2'を構成している。

このような構成のSIT撮像素子において光入

力が与えられると、チャネル領域2'内、あるいはゲート空乏層内で、正孔-電子対が生成され、このうち電子はドレイン1に流れ去るが、正孔は電荷蓄積ゲート領域4に蓄積され、これに接続されたゲートコンデンサ7を充電し、ゲート電位を $\Delta V_0$ だけ変化させる。ここでゲートコンデンサ7の容量を $C_0$ 、p-電荷蓄積領域4とn-チャネル2'間の接合容量を $C_1$ とし、光入力によって発生され、電荷蓄積ゲート領域4に蓄積された電荷を $Q_0$ とすると、 $\Delta V_0 = Q_0 / (C_0 + C_1)$ となる。ある蓄積時間が経過したのち、ゲート端子8にゲート読み出しパルス $V_{oc}$ が与えられると、ゲート電位は、 $C_0 / (C_0 + C_1) \times V_{oc}$ に $\Delta V_0$ が加わったものとなる。ここで取扱い上、便宜的にソースを接地し、ドレイン電圧 $V_0$  ( $V_0 > 0$ ) は、 $V_{oc}$ よりかなり小さいと仮定しているが、定性的にはこのような条件によらず有効となるものである。そして、ゲート電位が上昇すると、信号蓄積ゲート領域4とソース領域3との間の電位は低下して空乏層9が減少し、ソース・ドレイン間のチ

ャネルに光入力に対応したドレイン電流が流れる。このドレイン電流は、SITの増幅作用のため $\Delta V_0$ が増幅度倍されたものとなり、大きなものとなる。なお、SITのソースとドレインとを入れ替えても同様の動作をするものである。

ところで、かかるSIT撮像素子において、電荷蓄積ゲート領域4に蓄えられた光電荷の処理としては、前述の信号電流としての読み出しの他に、リセット時の放出処理や、ブルーミング防止のために行う、光照度の部分的な強過ぎにより発生するオーバーフローの処理があり、これらの処理を適切に効率よく行える構成が要求されている。

上記従来のSIT撮像装置においては、電荷蓄積ゲート領域4に蓄えられた余剰電荷は、該ゲート領域4の下方の低濃度エピタキシャル層2を越えて放出させるようにしており、そして、基板1に印加するドレインバイアス電圧 $V_0$ と、ゲート領域4の上部の絶縁膜5を介してゲート電極6に印加するゲートバイアス電圧 $V_g$ の二つのバイアス電圧を調整して、SIT撮像素子の光電荷蓄積

時のオーバーフローレベルを定めている。

しかし、この二つのバイアス電圧 $V_0$ 、 $V_g$ でオーバーフローレベルを決定する場合、その設定されたバイアス電圧 $V_0$ 、 $V_g$ によっても、SIT撮像素子のチャネル領域には信号電流は流れず、ピンチオフ状態に保持しておかねばならないという制約がある。

また、ドレインバイアス電圧 $V_0$ 及びゲートバイアス電圧 $V_g$ を数Vのオーダーで変化させることによって、前記SITのチャネル領域の空乏層を減少させて該チャネルを開き光電荷を読み出す動作や、リセット動作を行わねばならない。更にはまた、ゲート領域4とドレインを構成する基板1との間隔も信号読み出しが適切に行われるように定める必要がある。

このように、SIT撮像素子においては、信号読み出しが適切に行われるという条件のもとに、二つのバイアス電圧 $V_0$ 、 $V_g$ を通宜選定してオーバーフローレベルを調整することは非常に制約が多く、適切なオーバーフローレベルの調整を困

難にしている。その結果、この撮像素子を基本構成にして撮像装置を形成する場合、ブルーミング防止対策を講ずる上で大きな問題点となっている。

この問題点を解消すべく、撮像素子の表面方向にオーバーフロードレインを設けることが、従来試みられている。しかし、オーバーフロードレインを素子表面方向に設けた場合、比較的大きな面積を必要とするため、撮像装置の微細化という一般的な要請に逆行するという問題点があった。

(発明の目的)

本発明は、上記従来の撮像素子装置の問題点を解決すべくなされたもので、固体撮像素子の余剰電荷の処理を、該素子の微細化を計りつつ、信号読み出し動作の制約を受けることなく容易に制御できるようにした固体撮像装置を提供することを目的とする。

(発明の概要)

本発明は、電荷蓄積部絶縁層と基板の間のほぼ同一深さに、基板と異なる極性のドーパントを有する2個の埋め込み層を、電荷蓄積層から基板方向

への縦方向の余剰電荷放出チャネルを挟み込むように形成し、埋め込み層への印加バイアス電圧を調整することによって、電荷蓄積層の余剰電荷の処理を容易に制御できるようにし、且つ撮像装置の微細化を計るものである。

#### (発明の原理と実施例)

本発明の実施例の説明に先立ち本発明の原理について説明する。

本発明は、上記発明の概要で述べたように、電荷蓄積拡散層の下方に、該拡散層と基板との間に該拡散層と異なるドーパントを添加した2つの埋め込み層を、電荷蓄積層から基板に向かう余剰電荷の放出チャネルを挟み込むように設け、そして、この埋め込み層に適当なバイアス電圧を印加することにより、埋め込み層間の余剰電荷放出チャネルを流れるオーバーフロー電流をピンチオフしたり、あるいはその電流値を調整したりする制御を行うものである。

このようにオーバーフロー電流を制御するための埋め込み層を電荷蓄積拡散層の下方に設けるこ

すものである。図において、11はp形シリコン基板で、該基板11上には、後述の電荷蓄積ゲート領域とは異種のドーパントを添加したn<sup>+</sup>拡散層によって2つの埋め込み層12、13が形成されている。14は該基板11及び埋め込み層12、13上に設けられた不純物濃度の低いn<sup>+</sup>エピタキシャル層で、該エピタキシャル層14の表面には熱拡散法等によりn<sup>+</sup>ソース領域15とp<sup>+</sup>ゲート領域16、16が形成されている。ゲート領域16上にはSiO<sub>2</sub>等の絶縁膜17が被着され、更にその上にゲート電極18が被着されており、ゲート領域16と絶縁膜17とゲート電極18とでゲートコンデンサ19を形成している。またソース領域15上にはソース電極20が被着形成されている。そして、一方の埋め込み層12はソース領域15と対向するように配設されていてSITのドレインを兼ねており、その間のエピタキシャル層14がSITのチャネル領域を構成している。埋め込み層12、13は、電荷蓄積ゲート領域16から基板11に到る該ゲート領域16に蓄積された余剰電荷の放出チャネル21を挟み込むように配置されてい

とにより、素子面積を増大させることはなく、微小化を計ることができる。また、ゲートバイアス電圧による信号チャネルの制御とは関係なく、別個にオーバーフローレベルを適宜設定することが可能になる。

なお、余剰電荷放出チャネルのピンチオフを可能にするためには、2つの埋め込み層間の余剰電荷放出チャネルの密度を十分低くして( $10^{13}\text{cm}^{-3}$ 以下)、埋め込み層への印加バイアス電圧により空乏層の幅が十分変化できるように構成する必要がある。また、電荷蓄積拡散層と埋め込み層間のエピタキシャル層からなるウェルの濃度も十分低くして( $10^{13}\text{cm}^{-3}$ 以下)、埋め込み層と電荷蓄積拡散層との耐圧を十分大きくさせると共に、電荷蓄積拡散層に電荷が蓄積したとき、余剰電荷放出チャネル方向に電荷がオーバーフローしやすくさせる必要がある。

次に本発明の実施例について説明する。第2図は、本発明に係る固体撮像装置の一実施例の断面図で、SIT撮像装置に本発明を適用した例を示

る。

また、埋め込み層12、13からは、バイアス電圧を印加するための電極（図示せず）が表面に導出されている。電極引出方法としては、高濃度拡散によってアイソレーション部を形成して埋め込み層と接続する方法と、V<sub>T</sub>、U<sub>T</sub>溝を形成しDOPOS（不純物を入れた多結晶シリコン）を埋め込むかあるいは表面拡散を行って埋め込み層と接続する方法がある。

基板11としては、電荷電荷を基板側に放出しやすくするために、電荷蓄積ゲート領域16と同種のドーパントを添加した同一導電形のシリコン基板を用いている。

このように構成されたSIT撮像装置においては、電荷蓄積ゲート領域16の下方の縦方向の余剰電荷放出チャネル21の両側に、ゲート領域16とは異種のドーパントを添加して形成した2つの埋め込み層12、13の一方12が、ドレインを兼ねているので、ゲート電極18に読み出しパルスを印加することにより、蓄積光電荷量に応じたドレイン電



流がソース領域15とドレインを兼ねた埋め込み層12間に流れ、光信号を読み出すことができる。

また、埋め込み層12、13に適当なバイアス電圧を印加することにより、電荷蓄積ゲート領域16の余剰電荷の放出チャネル21を流れるオーバーフロー電流のスイッチングや、電流量の制御を行うことができる。

第3図は、第2実施例を示す断面図である。この実施例は、第2図に示した第1実施例における電荷蓄積ゲート領域16の余剰電荷放出チャネル21に対応する部分から、 $n^-$ エピタキシャル層14に向けて濃度の低い $p^-$ 拡散層16'を形成し、この拡散深さ $x_{j1}$ の値を、電荷蓄積ゲート領域16の拡散深さ $x_{j1}$ と異なる値に設定できるようにしたもので、この実施例では、 $x_{j2}$ を $x_{j1}$ より大きく設定した例を示している。

電荷蓄積ゲート領域16の拡散深さ $x_{j1}$ はSITの特性、特に増幅率 $\mu$ を決定する重要な値であるので、この $x_{j1}$ の値は増幅率 $\mu$ を最適化するように設定し、一方、 $p^-$ 拡散層16'の拡散深さ $x_{j2}$

る。

上記各実施例では、本発明をSIT撮像装置に適用したものを示したが、本発明の適用はSIT撮像装置に限定されるものではなく、例えば、CCD等広くオーバーフロードレインを必要とする撮像素子で、深さ方向に余剰電荷を放出することのできる素子を用いた撮像装置に適用可能なものである。

#### (発明の効果)

以上実施例に基づいて説明したように、本発明によれば、余剰電荷を深さ方向に制御性よく放出させることができ、光電荷のリセットやオーバーフローを信号読み出し操作の制約を受けることなく、効果的に適切に行うことが可能となる。また余剰電荷放出のスイッチングをタイミングよく制御することができ、光電荷を効率よく処理することが可能である。

また、余剰電荷を深さ方向に放出するように構成しているため、横方向に余剰電荷を放出する構成のものに比べ、素子面積を縮小し、撮像装置の

の値はオーバーフローレベルを最適化するように別個に設定することができる。

第4図は、本発明の第3実施例を示す断面図である。この実施例は、2つの埋め込み層12、13間の余剰電荷放出チャネルをイントリンシック層(i層)22で形成し、オーバーフロー電流の微妙な制御を行い易いようにしたものである。

このように構成した場合、電荷放出チャネルがi層22で形成されているので、2つの埋め込み層12、13に印加するバイアス電圧は、それぞれ異なる値にすることができる。すなわち、図面において右側の第1埋め込み層12はSITのドレインを兼ねているので、前記第1及び第2実施例においては、SITの信号出力の読み出し時に、電荷放出チャネルにおけるオーバーフローの制御には、かなりの制限が加えられるが、この第3実施例では、左側の第2埋め込み層13への印加バイアス電圧を変えて、i層22中のバリアの高さを比較的自由に变化させ、オーバーフローレベルを制御することができ、いわゆる片側ゲート制御が可能となる。

微細化を計ることができ、また入射光に対する開口率も向上させることができる。

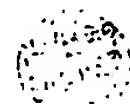
#### 4. 図面の簡単な説明

第1図は、従来のSIT撮像装置の断面図、第2図は、本発明の第1実施例の断面図、第3図は、第2実施例の断面図、第4図は、第3実施例の断面図である。

図において、11はp型基板、12、13は $n^-$ 埋め込み層、14は $n^-$ エピタキシャル層、15は $n^-$ ソース領域、16は $p^-$ ゲート領域、17は絶縁層、18はゲート電極、19はコンデンサ、20はソース電極、21は余剰電荷放出チャネル、22はイントリンシック層を示す。

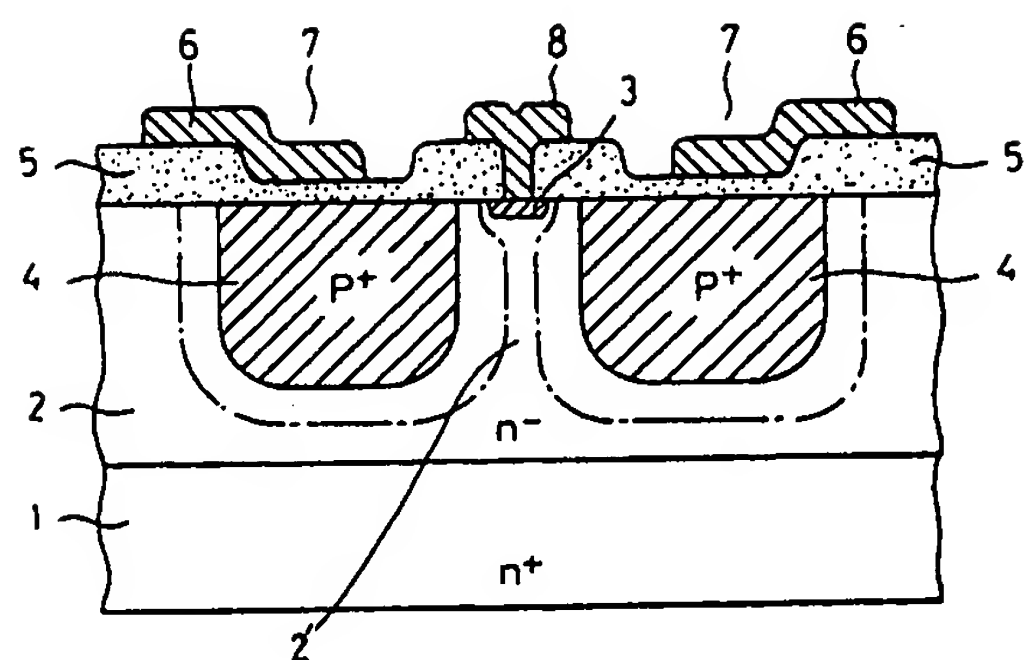
特許出願人 オリンパス光学工業株式会社

代理人弁理士 最 上 健 治

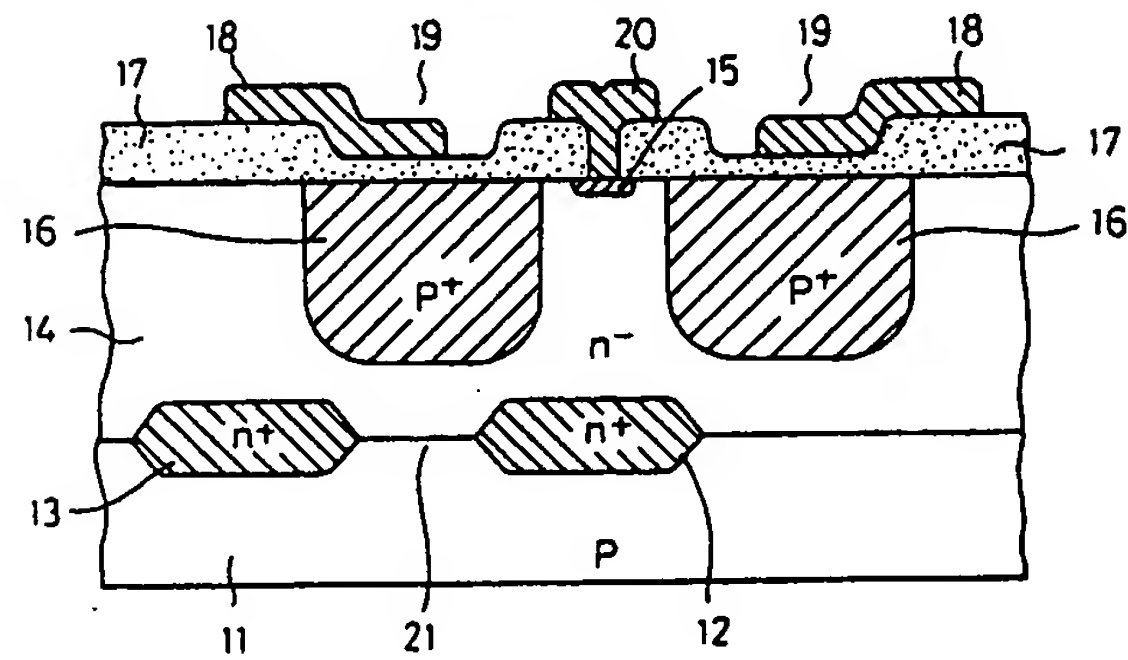




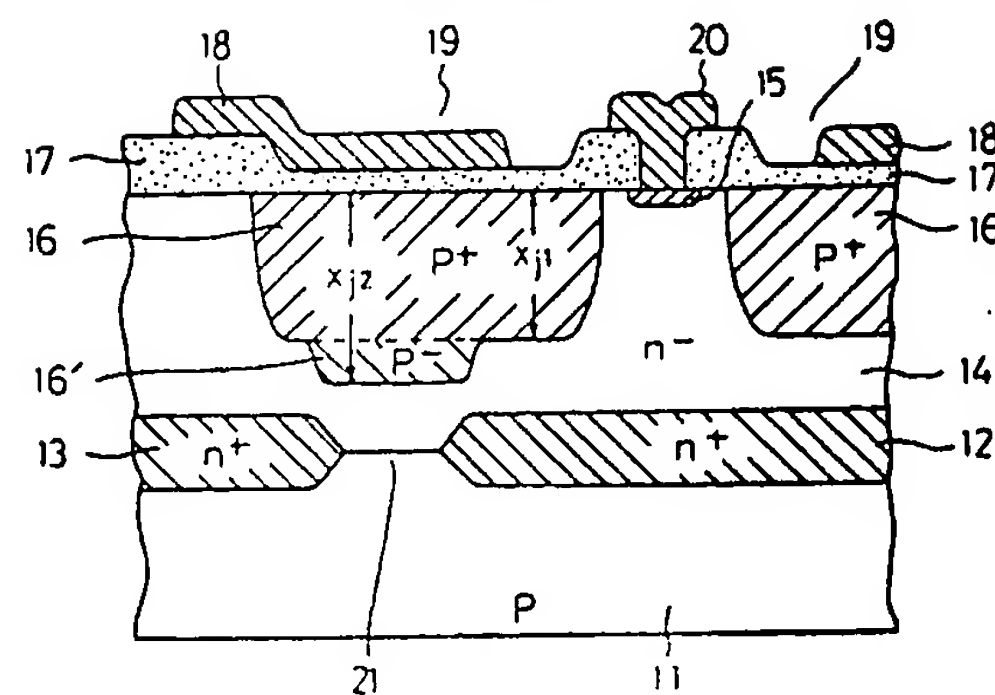
第1図



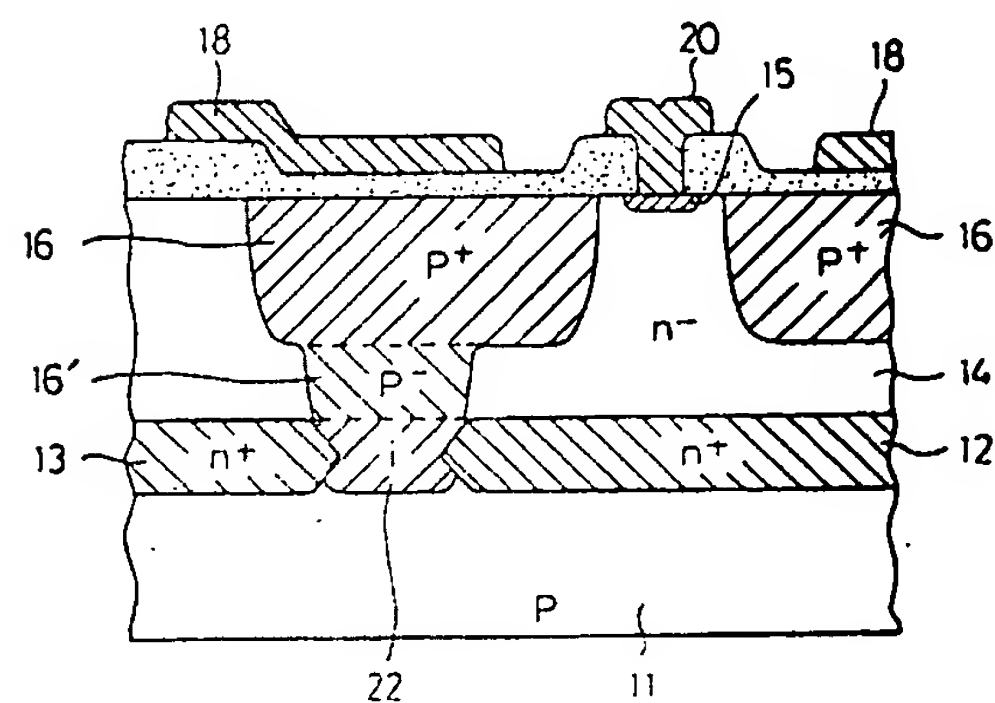
第2図



第3図



第4図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**